

CALCOLATORI ELETTRONICI A – 30 giugno 2009

NOME:

COGNOME:

MATR:

Scrivere chiaramente in caratteri maiuscoli a stampa

1. Scrivere una procedura in assembler MIPS corrispondente alla seguente funzione espressa in linguaggio C, che riceve in ingresso un vettore di interi ed un intero e ritorna un valore intero (F rappresenta una funzione chiamata dalla procedura che riceve un intero e produce un intero come risultato). Si utilizzino le note convenzioni sui registri. [6]

```
int P(int x[], i){
    int j=0;
    temp=0;

    for(j=0; j<i;j++)
        if(x[j]>100){
            x[j]=100;
            temp=1;
        }
        else x[j] = F(x[j]);

    return temp;
}
```


2. Si implementi per mezzo di porte logiche di AND, OR e NOT la funzione combinatoria che riceve in ingresso due valori x e y ciascuno a 2 bit e restituisce un valore ad 1 bit pari a 1 se $x > y$, pari a 0 altrimenti.
Si esprima inoltre la dimensione del PLA che sarebbe necessario per implementare tale funzione. [6]

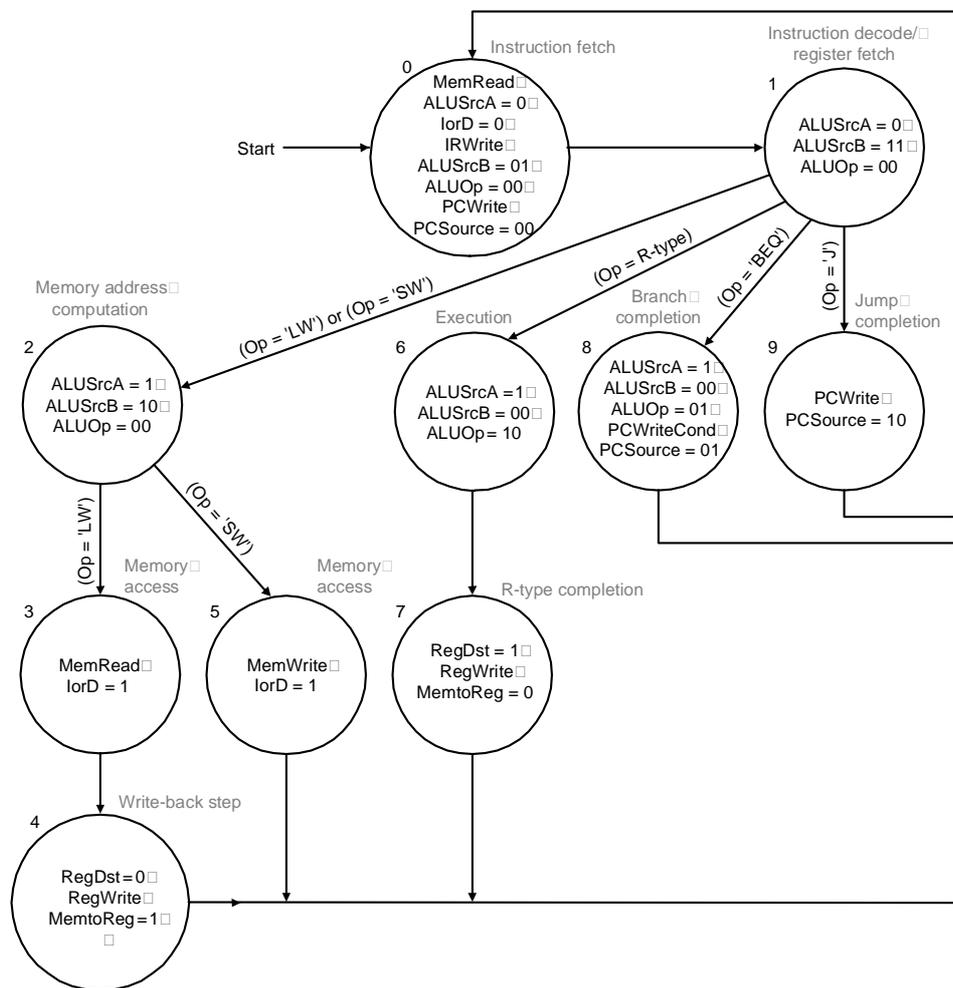
3. Si considerino il datapath ed il diagramma a stati finiti che specifica l'unità di controllo secondo la tecnica a multiciclo relativamente alle istruzioni MIPS *lw*, *sw*, *beq*, *j* ed alle istruzioni *Tipo-R*.

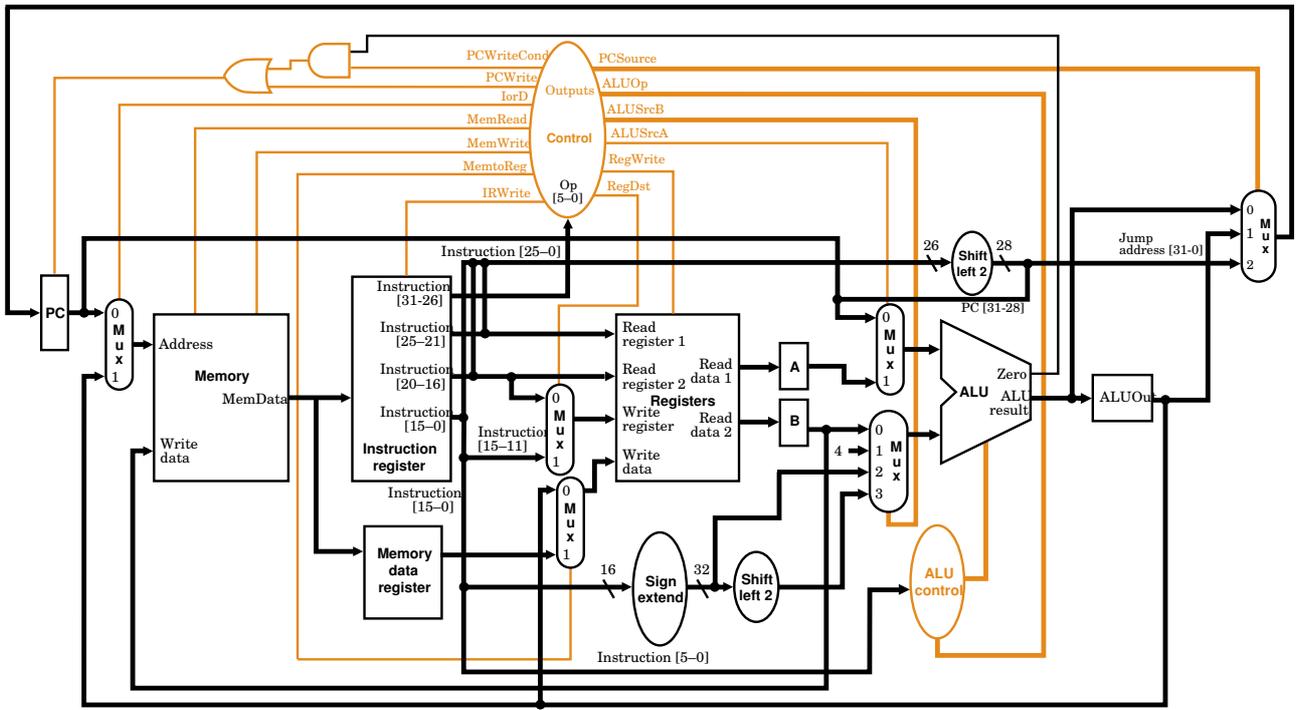
Supponendo che tutte le operazioni atomiche delle unità funzionali principali richiedano 2 ns e assumendo il carico di lavoro dell'esercizio 6, si calcolino le prestazioni in termini di tempo medio di esecuzione.

Si considerino poi i seguenti tempi per le operazioni atomiche che coinvolgono le unità funzionali principali:

Memoria istruzioni:	3 ns
Register File (lettura e scrittura):	1 ns
Operazione ALU:	1 ns
Memoria dati:	1 ns

Si chiede di suggerire una modifica al datapath e al diagramma degli stati (riportati di seguito) in modo da migliorare le prestazioni. Si chiede inoltre di confrontarle con quelle ottenute in precedenza. [4]





4. Si considerino, mostrati nelle figure alla pagina seguente, il datapath ed il diagramma a stati finiti che specifica l'unità di controllo secondo la tecnica a multiciclo relativamente alle istruzioni MIPS *lw*, *sw*, *beq*, *j* ed alle istruzioni *Tipo-R*.
Si vuole implementare la nuova istruzione

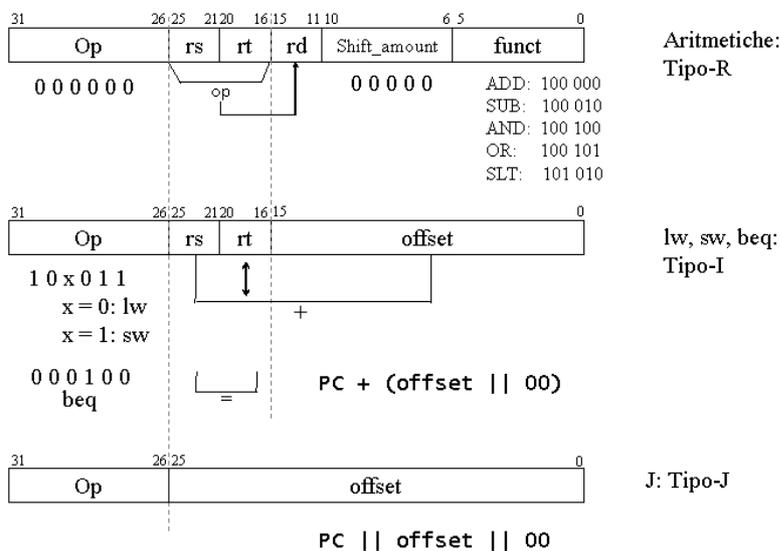
STOREZERO *offset(r1)*

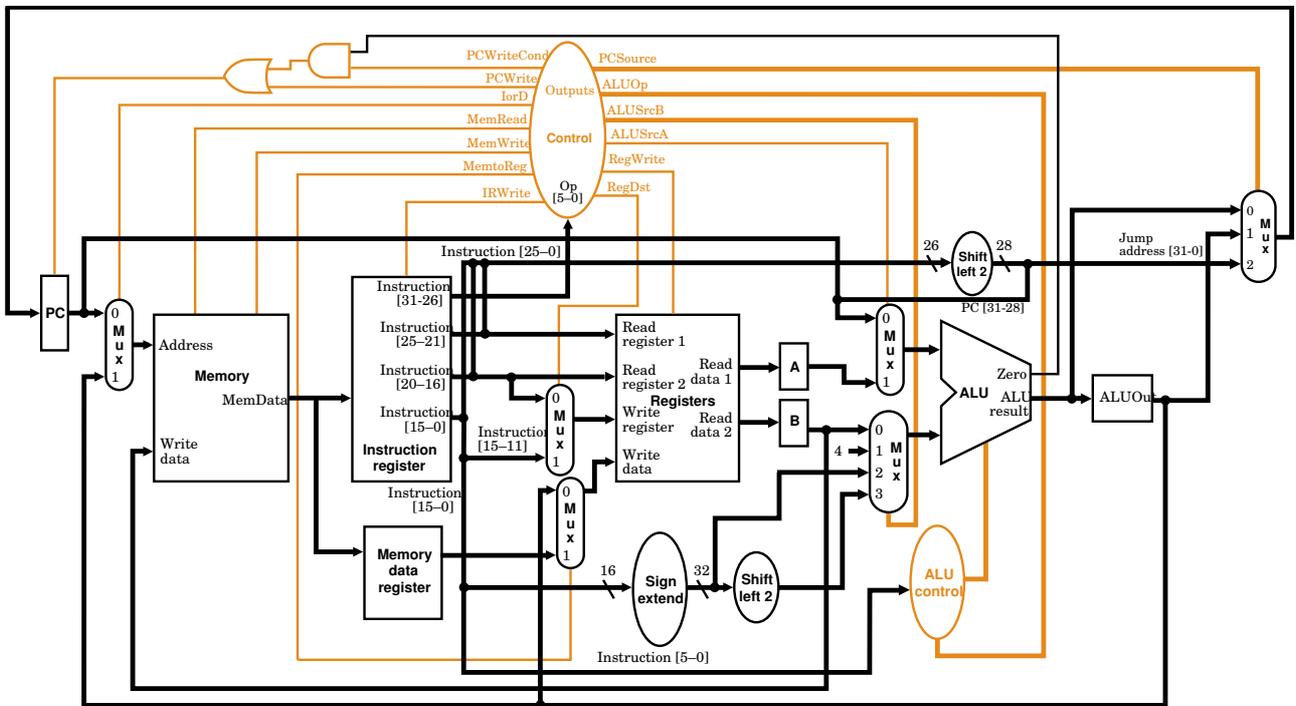
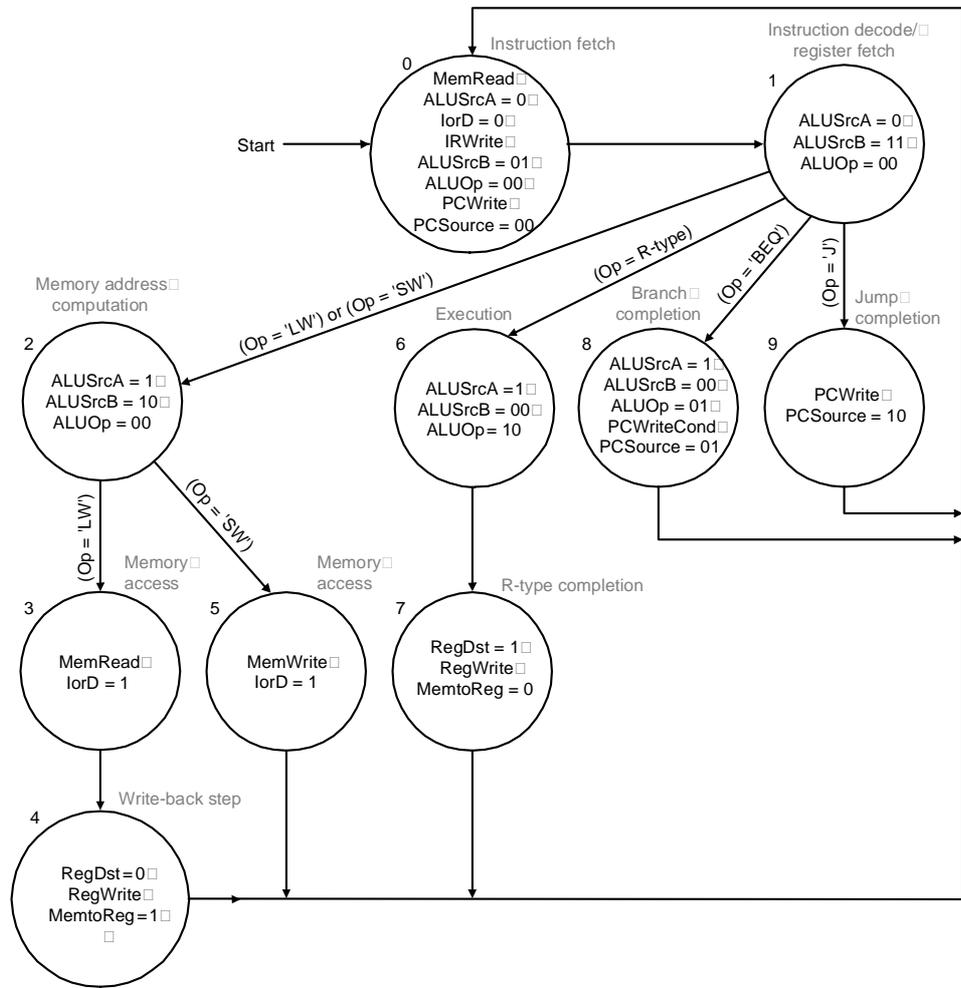
che pone a zero il valore di *offset* parole di memoria consecutive a partire dall'indirizzo *r1*.
Ad esempio, se *offset* è pari a 0 l'istruzione non fa nulla, se *offset* è pari a 1 l'istruzione pone il valore 0 in $M[r1]$, se *offset* è pari a 2 pone il valore 0 in $M[r1]$ e $M[r1+4]$, ecc.

Ricordando i tre formati di codifica delle istruzioni (riportati di seguito) si chiede di:

- riportare il formato della nuova istruzione macchina (specificando anche il campo destinato a *r1*);
- riportare, nella corrispondente figura, le modifiche necessarie al datapath;
- estendere il diagramma degli stati per implementare la nuova istruzione. [8]

Promemoria formati delle istruzioni:





5. Illustrare la differenza tra linking statico e linking dinamico. Quali vantaggi comporta il linking dinamico? [2]

6. Si consideri la nota implementazione dell'unità di controllo secondo la tecnica multiciclo relativamente alle istruzioni MIPS lw, sw, beq, j e TIPO-R (si noti che il datapath è riportato nell'esercizio 3). Si supponga che le operazioni atomiche che coinvolgono le unità funzionali principali richiedano:

Unità di memoria (lettura e scrittura):	2 ns
Register File (lettura e scrittura):	2 ns
Operazione ALU:	2 ns

Si assuma il seguente carico di lavoro:

Tipo-R:	30%
sw:	20%
lw:	30%

Si dispone di una cache primaria e di una cache secondaria, le cui caratteristiche sono:

- cache primaria: f_{miss} per le istruzioni = 2%, f_{miss} per i dati = 4%

- cache secondaria: tempo di accesso di 10 cicli di clock,

$f_{\text{miss}}=10\%$ per le istruzioni e 20% per i dati

Si dispone inoltre di una memoria DRAM con un tempo di accesso pari a 100 cicli di clock.

Si chiede di calcolare le prestazioni in termini di tempo medio di esecuzione per istruzione.

[3]

7. Illustrare il significato di una cache set-associativa a 4 vie (cos'è e, molto brevemente, come funziona).
A parità di dimensione totale della cache e dei blocchi che la costituiscono, quanti bit sono riservati all'etichetta rispetto al caso di cache a corrispondenza diretta? Giustificare la risposta. [3]

